

Docket No.: 8733.899.00-US  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:

Seok Woo LEE

Confirmation No.: TBA

Application No.: TBA

Group Art Unit: TBA

Filed: September 16, 2003

Examiner: TBA

For: LIQUID CRYSTAL DISPLAY AND  
FABRICATING METHOD THEREOF

Customer No.: 30827

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

Country	Application No.	Date
Korea	10-2002-0056504	September 17, 2002

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: September 16, 2003

Respectfully submitted,

By Rebecca Goldman Rudich  
Rebecca Goldman Rudich  
Registration No.: 41,786  
MCKENNA LONG & ALDRIDGE LLP  
1900 K Street, N.W.  
Washington, DC 20006  
(202) 496-7500  
Attorneys for Applicant

PATENT TRADEMARK OFFICE



30827

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0056504  
Application Number

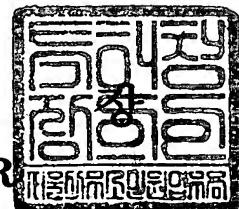
출원년월일 : 2002년 09월 17일  
Date of Application

출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 03 월 17 일

특허청  
COMMISSIONER





1020020056504

출력 일자: 2003/3/18

## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0003		
【제출일자】	2002.09.17		
【발명의 명칭】	액정표시소자 및 그 제조 방법		
【발명의 영문명칭】	LIQUID CRYSTAL DISPLAY DEVICE AND FABRICATING METHOD THEREOF		
【출원인】			
【명칭】	엘지 .필립스 엘시디 주식회사		
【출원인코드】	1-1998-101865-5		
【대리인】			
【성명】	김영호		
【대리인코드】	9-1998-000083-1		
【포괄위임등록번호】	1999-001050-4		
【발명자】			
【성명의 국문표기】	이석우		
【성명의 영문표기】	LEE, Seok Woo		
【주민등록번호】	700322-1496611		
【우편번호】	431-050		
【주소】	경기도 안양시 동안구 비산동 관악 마을 청구아파트 138동 1107호		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 호 (인) 김영호		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	13	면	13,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	42,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		



### 【요약서】

#### 【요약】

본 발명은 게이트절연막을 위치에 따라 두께를 다르게 형성할 수 있는 액정표시소자 및 그 제조 방법을 제공하는 것이다.

본 발명에 따른 액정표시소자는 화상표시부에 포함되는 다수의 신호라인들과 교차로 할당된 영역마다 마련된 액정셀들 각각을 구동하기 위한 제1 박막트랜지스터와, 화상표시부와 함께 표시패널 내에 형성되는 구동회로에 포함되는 제2 박막트랜지스터와, 제1 및 제2 박막트랜지스터의 각각에 포함되는 게이트전극과 액티브층 사이에 형성되며 에치스트퍼층을 갖는 적어도 2층 구조의 게이트절연막을 구비하며, 제1 및 제2 박막트랜지스터의 게이트절연막은 서로 다른 두께로 형성되는 것을 특징으로 한다.

#### 【대표도】

도 4



1020020056504

출력 일자: 2003/3/18

### 【명세서】

#### 【발명의 명칭】

액정표시소자 및 그 제조 방법{LIQUID CRYSTAL DISPLAY DEVICE AND FABRICATING METHOD THEREOF}

#### 【도면의 간단한 설명】

도 1은 종래의 폴리 액정표시소자의 멀티플렉서의 스위치소자와 화상표시부의 박막 트랜지스터의 하부기판을 나타내는 단면도이다.

도 2a 내지 도 2h는 도 1에 도시된 멀티플렉서의 스위치소자와 화상표시부의 박막 트랜지스터의 하부기판의 제조방법을 나타내는 단면도이다.

도 3은 본 발명에 따른 폴리 액정표시소자의 구성을 개략적으로 도시한 평면도이다.

도 4는 도 3에 도시된 멀티플렉서의 스위치소자와 화상표시부의 박막트랜지스터의 하부기판을 나타내는 단면도이다.

도 5a 내지 도 5h는 도 4에 도시된 멀티플렉서의 스위치소자와 화상표시부의 박막 트랜지스터어레이의 하부기판의 제조방법을 나타내는 단면도이다.

< 도면의 주요부분에 대한 간단한 설명 >

2,52 : 하부기판      4,54 : 버퍼막

6,36,56,86 : 게이트전극      8,38,58,88 : 소스전극

10, 40, 60, 90 : 드레인전극 12, 62, 76, 78 : 게이트절연막

14, 44, 54, 94 : 액티브층 16, 66 : 층간절연막

18, 68 : 보호막 20, 50, 70, 80, 74 : 접촉홀

22, 72 : 화소전극

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 폴리실리콘을 이용한 액정표시소자에 관한 것으로, 특히 게이트절연막을 위치에 따라 두께를 다르게 형성할 수 있는 액정표시소자 및 그 제조방법에 관한 것이다.

<14> 통상, 액정표시소자(Liquid Crystal Display; LCD)는 비디오신호에 따라 액정셀들의 광투과율을 조절함으로써 액정셀들이 매트릭스 형태로 배열되어진 액정패널에 비디오 신호에 해당하는 화상을 표시하게 된다. 이 경우, 액정셀들을 스위칭하는 소자로서 통상 박막트랜지스터(Thin film Transistor; TFT)가 이용되고 있다.

<15> 이러한 박막트랜지스터는 반도체층으로 아몰퍼스(Amorphous) 실리콘 또는 폴리(Poly) 실리콘을 이용한다. 아몰퍼스형 액정표시소자는 아몰퍼스실리콘층이 비교적 균일성이 좋고 특성이 안정된 장점을 가지고 있으나, 전하이동도가 작아 화소밀도를 향상시키기 어려운 단점을 가진다. 이와 달리, 폴리실리콘형 액정표시소자는 폴리실리콘층이 전하이동도가 높음에 따라 화소밀도를 증가시키는데 유리한 장

점을 가진다. 또한 상대적으로 빠른 응답속도를 요하는 구동회로들을 액정표시패널 상에 실장하여 제조단가를 낮출 수 있는 장점을 가진다.

<16> 이러한 폴리형 액정표시소자는 액정셀들이 매트릭스 형태로 배열되어진 액정표시패널과 이 액정표시패널을 구동하기 위한 구동회로를 구비한다. 액정표시패널에는 게이트라인들과 데이터라인들과의 교차로 할당된 영역마다 형성된 적, 녹, 청 화소들을 갖는 화상표시부를 구비한다. 적, 녹, 청 화소들 각각은 하나의 박막트랜지스터와 하나의 액정셀로 구성된다. 이 액정표시패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 마련된다. 화소전극들 각각은 스위칭 소자인 박막트랜지스터(Thin Film Transistor)의 소스 및 드레인 단자들을 경유하여 데이터라인들 중 어느 하나에 접속된다. 박막트랜지스터의 게이트단자는 화소전압신호가 1라인분씩의 화소전극들에게 인가되게 하는 게이트라인들 중 어느 하나에 접속된다. 구동회로는 게이트라인들을 구동하기 위한 게이트 드라이버와, 데이터라인들을 구동하기 위한 데이터 드라이버를 구비한다. 게이트 드라이버는 스캐닝신호를 게이트라인들에 순차적으로 공급하여 액정표시패널 상의 액정셀들을 1라인분씩 순차적으로 구동한다. 데이터 드라이버는 게이트라인들 중 어느 하나에 게이트신호가 공급될 때마다 데이터라인들 각각에 비디오신호를 공급한다. 그리고, 액정표시소자는 데이터 드라이버와 데이터라인들 사이에 접속된 멀티플렉서들을 더 구비한다. 이 멀티플렉서에 포함되어진 다수개의 스위치소자는 수평기간마다 순차적으로 턴온되어 데이터 드라이버로부터 데이터 입력라인을 경유한 비디오신호를 다수개의 데이터라인들에 순차적으로 공급한다. 이러한 멀티플렉서들은 화상표시부와 함께 액정표시패널 내에 형성된다.

<17> 이 멀티플렉서(MUX)에 포함되는 제1 내지 제4 스위치소자들(SW1 내지 SW4)각각은 도 1에 도시된 바와 같이 화상표시부의 박막트랜지스터(TP)들과 동일한 구성을 가지게 된다.

<18> 스위치소자들(SW) 각각은 버퍼막(4)을 사이에 두고 하부기판(2) 상에 형성되는 액티브층(14)과, 게이트절연막(12)을 사이에 두고 액티브층(14)과 중첩되게 형성되는 게이트전극(6)과, 층간절연막(16)을 사이에 두고 게이트전극(6)과 절연되게 형성되는 소스전극(8) 및 드레인전극(10)을 구비한다. 여기서, 소스전극(8) 및 드레인전극(10)은 층간절연막(16) 및 게이트절연막(12)을 관통하는 소스접촉홀(20S) 및 드레인접촉홀(20D)을 통해 액티브층(14)과 접촉된다. 이러한 스위치소자들(SW)은 보호막(18)에 의해 보호된다.

<19> 박막트랜지스터(TP)는 버퍼막(4)을 사이에 두고 하부기판(2) 상에 형성되는 액티브층(44)과, 게이트절연막(12)을 사이에 두고 액티브층(44)과 중첩되게 형성되는 게이트전극(36)과, 층간절연막(16)을 사이에 두고 게이트전극(36)과 절연되게 형성되는 소스전극(38) 및 드레인전극(40)을 구비한다. 여기서, 소스전극(38) 및 드레인전극(40)은 층간절연막(16) 및 게이트절연막(12)을 관통하는 소스접촉홀(50S) 및 드레인접촉홀(50D)을 통해 액티브층(44)과 접촉된다. 이러한 박막트랜지스터(TP)는 보호막(18)에 의해 보호된다. 박막트랜지스터(TP)의 드레인전극(40)은 보호막(18)을 관통하는 화소접촉홀(24)을 통해 화소전극(22)과 전기적으로 접촉된다.

<20> 도 2a 내지 도 2h는 도 1에 도시된 스위치소자들과 박막트랜지스터가 형성된 하부기판의 제조방법을 나타내는 단면도이다.

<21> 먼저, 하부기판(2) 상에  $\text{SiO}_2$  등의 절연물질로 이루어진 버퍼막(4)이 증착된 다음, 그 위에 아몰퍼스 실리콘막이 증착된다. 이어서, 아몰퍼스 실리콘막이 레이저에 의해 결정화되어 폴리 실리콘막이 되고, 그 폴리 실리콘막이 패터닝되어 도 2a에 도시된 바와 같이 박막트랜지스터(TP)의 액티브층(44)과 스위치소자(SW)의 액티브층(14)이 형성된다.

<22> 액티브층(14,44)이 형성된 버퍼막(4) 위에 게이트절연물질(12a)을 전면 증착한다. 이 후 게이트절연물질(12a)에 포토레지스트를 전면 증착한 후 패터닝함으로써 도 2b에 도시된 바와 같이 박막트랜지스터(TP)의 액티브층(44)이 형성된 게이트절연물질(12a) 상에 포토레지스트패턴(28)이 형성된다. 이 포토레지스트패턴(28)을 마스크로 이용하여 게이트절연물질(12a)을 습식식각공정으로 패터닝함으로써 도 2c에 도시된 바와 같이 게이트절연막(12)이 형성된다. 이 때, 스위치소자(SW)의 게이트절연막(12)의 두께는 박막트랜지스터(TP)의 게이트절연막(12)의 두께보다 상대적으로 얇게 형성된다.

<23> 이 게이트절연막(12) 상에 게이트금속층이 증착된 후 패터닝함으로써 도 2d에 도시된 바와 같이 스위치소자(SW)의 게이트 전극(6)과 박막트랜지스터(TP)의 게이트전극(36)이 형성된다.

<24> 게이트 전극(6,36)이 형성된 게이트 절연막(12) 상에 층간 절연막(16)이 전면 증착되고 패터닝되어 도 2e에 도시된 바와 같이 층간 절연막(16)과 게이트 절연막(12)을 관통하는 스위치소자(SW) 및 박막트랜지스터(TP)의 소스접촉홀(20S,50S)과 드레인접촉홀(20D,50D)이 형성된다.

<25> 그 다음, 소스/드레인 금속층이 증착되고 패터닝되어 도 2f에 도시된 바와 같이 스위치소자(SW) 및 박막트랜지스터(TP)의 소스 전극(8,38)과 드레인 전극(10,40)이 형성된다.

다. 여기서, 스위치소자(SW) 및 박막트랜지스터(TP)의 소스 전극(8,38)과 드레인 전극(10,40)은 각각 소스접촉홀(20S,50S)과 드레인접촉홀(20D,50D)을 통해 액티브층(14,44)과 접촉하게 된다.

<26> 이러한 스위치소자(SW) 및 박막트랜지스터(TP)의 소스전극(8,38) 및 드레인전극(10,40)이 형성된 층간 절연막(16) 위에 보호막(18)이 전면 증착되고 패터닝되어 도 2g에 도시된 바와 같이 박막트랜지스터(TP)의 드레인 전극(40)을 노출시키는 화소접촉홀(24)이 형성된다.

<27> 그리고, 보호막(18) 위에 투명도전물질이 증착되고 패터닝되어 도 2h에 도시된 바와 같이 박막트랜지스터(TP)의 드레인전극(40)과 화소접촉홀(24)을 통해 접속되는 화소전극(22)이 형성된다.

<28> 이와 같이, 종래의 폴리 액정표시소자에서는 멀티플렉서(MUX)와 같은 구동회로가 화상표시부(16)에 포함되는 박막트랜지스터 어레이와 함께 하부기판(2)에 형성된다. 이러한 폴리 액정표시소자는 멀티플렉서에 포함되는 스위치소자의 액티브층(14)과 게이트전극(6) 사이의 게이트절연막(12)은 박막트랜지스터 어레이의 게이트절연막(12)보다 얇은 두께를 가지게 된다. 상대적으로 얇은 두께를 갖는 스위치소자(SW)의 게이트절연막(12)을 사이에 두고 액티브층(14)과 게이트전극(6) 사이에 형성되는 캐패시터의 용량값이 상대적으로 증가하게 된다. 이러한 캐패시터의 용량값에 비례하여 스위치소자(SW)의 문턱전압값이 상대적으로 낮아져 스위치소자의 동작속도를 향상시킬 수 있다.

<29> 그러나, 게이트절연막(12)을 형성하기 위한 식각공정에서 화상표시부에 포함되는 박막트랜지스터(TP)의 게이트절연막과 동시에 상대적으로 얇은 두께를 갖도록 형성되는

스위치소자(SW)의 게이트절연막의 최종두께를 맞추기 어려운 문제점이 있다. 또한, 다른 스위치(SW)들의 게이트절연막의 두께를 균일하게 맞추기 어려운 문제점이 있다.

### 【발명이 이루고자 하는 기술적 과제】

<30> 따라서, 본 발명의 목적은 게이트절연막을 위치에 따라 두께를 다르게 형성할 수 있는 액정표시소자 및 그 제조 방법을 제공하는 것이다.

### 【발명의 구성 및 작용】

<31> 상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시소자는 화상표시부에 포함되는 다수의 신호라인들과 교차로 할당된 영역마다 마련된 액정셀들 각각을 구동하기 위한 제1 박막트랜지스터와, 화상표시부와 함께 표시패널 내에 형성되는 구동회로에 포함되는 제2 박막트랜지스터와, 제1 및 제2 박막트랜지스터의 각각에 포함되는 게이트전극과 액티브층 사이에 형성되며 에치스트퍼층을 갖는 적어도 2층 구조의 게이트절연막을 구비하며, 제1 및 제2 박막트랜지스터의 게이트절연막은 서로 다른 두께로 형성되는 것을 특징으로 한다.

<32> 상기 제1 박막트랜지스터의 게이트절연막의 두께는 상기 제2 박막트랜지스터의 스위치소자의 게이트전극과 액티브층 사이에 형성되는 게이트절연막의 두께보다 두껍게 형성되는 것을 특징으로 한다.

<33> 상기 제1 박막트랜지스트의 게이트절연막은 중간층이 에치스타퍼층인 삼층구조로 형성되는 것을 특징으로 한다.

<34> 상기 제2 박막트랜지스터의 게이트절연막은 최상층이 에치스타퍼층인 이층구조로 형성되는 것을 특징으로 한다.

<35> 상기 제1 및 제2 박막트랜지스터의 응답속도는 상기 게이트절연막에 의해 서로 다른 것을 특징으로 한다.

<36> 상기 에치스타퍼층은  $\text{SiN}_x$ 로 형성되는 것을 특징으로 한다.

<37> 상기 제2 박막트랜지스터의 게이트절연막의 최하층과 최상층 및 상기 제1 박막트랜지스터의 게이트절연막의 최하층은  $\text{SiO}_2$ 로 형성되는 것을 특징으로 한다.

<38> 상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시소자의 제조방법은 화상표시부에 포함되는 다수의 신호라인들과 교차로 할당된 영역마다 마련된 액정셀들 각각을 구동하기 위한 제1 박막트랜지스터와, 상기 화상표시부와 함께 표시패널 내에 형성되는 구동회로에 포함되는 제2 박막트랜지스터를 형성하는 제조방법에 있어서, 제1 및 제2 박막트랜지스터에 포함되는 게이트전극과 액티브층 사이의 게이트절연막을 형성하는 단계는 에치스타퍼층을 갖는 적어도 2층 구조로 서로 다른 두께를 갖도록 형성하는 단계인 것을 특징으로 한다.

<39> 상기 액정표시소자의 제조방법은 기판 상에 상기 제1 및 제2 박막트랜지스터의 버퍼막을 형성하는 단계와, 버퍼막 상에 상기 제1 및 제2 박막트랜지스터의 스위치소자의 액티브층을 형성하는 단계와, 게이트절연막 상에 상기 제1 및 제2 박막트랜지스터의 게이트전극을 형성하는 단계와, 게이트전극이 형성된 게이트절연막 상에 상기 제1 및 제2 박막트랜지스터의 층간절연막을 형성하는 단계와, 층간절연막 상에 상기 제1 및 제2 박막트랜지스터의 소스전극 및 드레인전극을 형성하는 단계와, 층간절연막 상에 상기 제1

및 제2 박막트랜지스터의 보호막을 형성하는 단계와, 제1 박막트랜지스터의 드레인전극과 접촉되는 화소전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 한다.

<40> 상기 제1 박막트랜지스터의 게이트절연막은 가운데층이 에치스타퍼층인 3층구조로 형성되는 것을 특징으로 한다.

<41> 상기 제2 박막트랜지스터의 게이트절연막은 최상층이 에치스타퍼인 2층구조로 형성되는 것을 특징으로 한다.

<42> 상기 에치스타퍼층은  $SiNx$ 로 형성되는 것을 특징으로 한다.

<43> 상기 제1 박막트랜지스터의 게이트절연막의 최하층과 최상층 및 상기 제2 박막트랜지스터의 게이트절연막의 최하층은  $SiO_2$ 로 형성되는 것을 특징으로 한다.

<44> 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<45> 이하, 도 3 내지 도 5h를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

<46> 도 3은 본 발명에 따른 폴리 액정표시소자를 나타내는 평면도이다.

<47> 도 3을 참조하면, 액정표시패널(100)의 게이트 라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(102)와, 액정표시패널(100)의 데이타라인들(DL1 내지 DLm)을 구동하기 위한 데이타 드라이버(104)를 구비한다.

<48> 액정표시패널(100)은 게이트라인들(GL1 내지 GLn)과 데이타라인들(DL1 내지 DLm)과의 교차로 할당된 영역마다 형성된 적, 녹, 청 화소들(R, G, B)을 구비하는 화상표시부(106)를 구비한다. 적, 녹, 청 화소들(R, G, B) 각각은 하나의 박막트랜지스터와 하나

의 액정셀로 구성된다. 박막트랜지스터의 게이트전극과 소스전극은 게이트라인(GL)과 데이터라인(DL)에 각각 접속된다. 액정셀은 박막트랜지스터와 접속된 화소전극과, 기준전극으로 화소전극과 액정을 사이에 두고 대향되는 공통전극을 구비한다.

<49> 게이트 드라이버(102)는 게이트 제어신호들에 의해 프레임마다 수평기간씩 순차적으로 게이트라인들(GL1 내지 GL<sub>n</sub>)을 구동한다. 이 게이트 드라이버(102)에 의해 박막트랜지스터들이 수평라인 단위로 순차적으로 턴-온되어 데이터라인(DL1 내지 DL<sub>m</sub>)을 액정셀과 접속시키게 된다.

<50> 데이터 드라이버(104)는 수평기간마다 다수의 디지털 데이터신호 샘플링하여 아날로그 데이터신호로 변환한다. 그리고 데이터 드라이버(104)는 아날로그 데이터신호를 데이터라인들(DL1 내지 DL<sub>m</sub>)에 공급한다. 이에 따라, 턴-온된 박막트랜지스터에 접속된 액정셀들은 데이터라인들(DL1 내지 DL<sub>m</sub>) 각각으로부터의 데이터신호에 응답하여 광투과율을 조절하게 된다.

<51> 그리고, 액정표시소자는 데이터 드라이버(104)와 데이터라인들(DL1 내지 DL<sub>m</sub>) 사이에 접속된 멀티플렉서들(MUX1 내지 MUX<sub>k</sub>)을 더 구비한다. 멀티플렉서들(MUX1 내지 MUX<sub>k</sub>) 각각은 다수개, 예를 들면 4개의 데이터라인들(DL<sub>i</sub> 내지 DL<sub>i+3</sub>)에 접속된다. 이러한 멀티플렉서들(MUX1 내지 MUX<sub>k</sub>) 각각은 제1 내지 제4 제어라인(CL1 내지 CL4)을 경유한 제1 내지 제4 제어신호에 의해 데이터 드라이버(104)로부터 데이터 입력라인(DIL)을 경유한 비디오신호를 4개의 데이터라인들(DL<sub>i</sub> 내지 DL<sub>i+3</sub>)에 순차적으로 공급한다. 이를 위하여, 멀티플렉서들(MUX1 내지 MUX<sub>k</sub>) 각각은 데이터 드라이버(104)에 접속된 데이터 입력라인(DIL)과 4개의 데이터라인들(DL<sub>i</sub> 내지 DL<sub>i+3</sub>) 사이에 각각 접속되어진 4개의 스위치소자(SW1 내지 SW4)를 구비한다. 스위치소자(SW1 내지 SW4) 각각은 통상 MOS 트

랜지스터로 구현된다. 멀티플렉서(MUX)에 포함된 4개의 스위치 소자들(SW1 내지 SW4)은 제1 내지 제4 제어신호를 하나씩 자신들의 게이트전극쪽으로 각각 입력한다. 제1 내지 제4 제어신호 서로 순차적이고 반복적으로 진행되는 인에이블구간, 즉 하이논리의 구간을 가진다. 이에 따라, 멀티플렉서(MUX)에 포함되어진 4개의 스위치소자(SW1 내지 SW4)은 수평기간마다 순차적으로 턴-온되어 4개의 데이터라인(DLi 내지 DLi+3)이 순차적으로 데이터 드라이버(104)에 접속된 데이터 입력라인(DIL)과 접속되게 한다.

<52> 이러한 멀티플렉서들(MUX1 내지 MUXk)은 화상표시부(106)와 함께 액정표시패널(100) 내에 형성된다. 여기서, 멀티플렉서들(MUX1 내지 MUXk)은 화상표시부(106)의 위쪽에 위치한다.

<53> 이 멀티플렉서(MUX)에 포함되는 제1 내지 제4 스위치소자들(SW1 내지 SW4)각각은 도 4에 도시된 바와 같이 화상표시부에 포함되는 박막트랜지스터들과 동일한 구성을 가지게 된다.

<54> 스위치소자들(SW) 각각은 버퍼막(54)을 사이에 두고 하부기판(52) 상에 형성되는 액티브층(64)과, 제1 및 제2 게이트절연막(62,76)을 사이에 두고 액티브층(64)과 중첩되게 형성되는 게이트전극(56)과, 층간절연막(66)을 사이에 두고 게이트전극(56)과 절연되게 형성되는 소스전극(58) 및 드레인전극(60)을 구비한다. 여기서, 소스전극(58) 및 드레인전극(60)은 층간절연막(66) 및 제1 및 제2 게이트절연막(62,76)을 관통하는 소스접촉홀(70S) 및 드레인접촉홀(70D)을 통해 액티브층(64)과 접촉된다. 이러한 스위치소자들(SW)은 보호막(68)에 의해 보호된다.

<55> 박막트랜지스터(TP)는 버퍼막(54)을 사이에 두고 하부기판(52) 상에 형성되는 액티브층(94)과, 제1 내지 제3 게이트절연막(62,76,78)을 사이에 두고 액티브층(64)과 중첩

되게 형성되는 게이트전극(86)과, 충간절연막(66)을 사이에 두고 게이트전극(86)과 절연되게 형성되는 소스전극(88) 및 드레인전극(90)을 구비한다. 여기서, 소스전극(88) 및 드레인전극(90)은 충간절연막(66)과 제1 및 제2 게이트절연막(62)을 관통하는 소스접촉홀(80S) 및 드레인접촉홀(80D)을 통해 액티브층(94)과 접촉된다. 이러한 박막트랜지스터(TP)는 보호막(68)에 의해 보호된다. 박막트랜지스터(TP)의 드레인전극(80)은 보호막(68)을 관통하는 화소접촉홀(74)을 통해 화소전극(72)과 전기적으로 접촉된다.

<56> 스위치소자(SW)들과 박막트랜지스터(TP)의 제1 게이트절연막(62)은  $SiO_2$ 로 형성되며, 제2 게이트절연막(76)은  $SiNx$ 로 형성된다. 또한, 박막트랜지스터의 제3 게이트절연막(78)은  $SiO_2$ 로 형성된다.

<57> 여기서, 제2 게이트절연막(76)은 박막트랜지스터(TP)에만 제3 게이트절연막(78)이 형성될 수 있도록 에치스타퍼(etch-stopper)의 역할을 하게 된다. 그러나, 제2 게이트절연막(76)을 형성하는  $SiNx$ 은 그 조성이  $Si_3N_4$ 의 화학량론을 따르지 못하고 있어 그 조성이 완전한 결합을 이루지 못하고 있다. 이에 따라, 제2 게이트절연막(76)은 양전하를 띠는 수많은 전기적 결함(defect)을 가지고 있다. 이러한  $SiNx$ 로 게이트절연막을 사용할 경우 문턱전압이 불안정해지게 된다. 특히, 이  $SiNx$ 가 채널을 형성하는 액티브층(64,94)과 인접하게 위치할 때 더욱 더 심해진다. 이러한 문제점을 해결하기 위해 제2 게이트절연막(76) 하부에는 버퍼막(54)과 동일한  $SiO_2$ 로 형성되는 제1 게이트절연막(62)이 형성된다.

<58> 제3 게이트절연막(78)은 화상표시부의 게이트전극(86)과 액티브층(94) 사이에 형성되어 화상표시부의 전체 게이트절연막의 두께가 스위치소자의 전체 게이트절연막의 두께

보다 상대적으로 두껍게 형성되도록 한다. 이에 따라, 스위치소자(SW)의 문턱전압이 상대적으로 낮아져 스위치소자(SW)의 동작속도가 향상된다.

<59> 도 5a 내지 도 5h는 도 4에 도시된 멀티플렉서의 스위치소자들과 화상표시부의 박막트랜지스터가 형성된 하부기판의 제조방법을 나타내는 단면도이다.

<60> 도 5a를 참조하면, 하부기판(52) 상에 버퍼막(54)을 사이에 두고 박막트랜지스터(TP)의 액티브층(94)과 스위치소자(SW)의 액티브층(64)이 형성된다.

<61> 이를 위해, 하부기판(52) 상에  $SiO_2$  등의 절연물질을 증착하여 버퍼막(54)이 형성된다. 이 버퍼막(54) 상에 아몰퍼스 실리콘막이 증착된 후, 아몰퍼스 실리콘막이 레이저에 의해 결정화되어 폴리 실리콘막이 된다. 이 폴리 실리콘막이 포토리쏘그래피공정과 식각공정으로 패터닝됨으로써 박막트랜지스터(TP)의 액티브층(94)과 스위치소자(SW)의 액티브층(64)이 형성된다.

<62> 도 5b를 참조하면, 액티브층(64,94)이 형성된 하부기판(52) 상에 제1 내지 제3 게이트절연물질(62a,76a,78a)이 전면 증착된다. 여기서 제1 및 제3 게이트절연물질(62a,78a)은  $SiO_2$ 등이 이용되고, 제2 게이트절연물질(76a)은  $SiNx$ 등이 이용된다. 이 후, 제3 게이트절연물질(78a) 상에 포토레지스트가 전면 증착된 후 패터닝됨으로써 박막트랜지스터(TP)의 액티브층(64)을 덮도록 형성된 제3 게이트절연물질(78a) 상에 포토레지스트패턴(98)이 형성된다.

<63> 도 5c를 참조하면, 포토레지스트패턴(98)을 마스크로 이용하여 습식식각공정이 실행된다. 이 때, 식각액인 묽은 불산(HF)용액에 대한 제3 게이트절연물질(78a)인  $SiO_2$ 와 제2 게이트절연물질(76a)인  $SiNx$ 의 식각선택비가 다르므로 제3 게이트절연물질(78a)만

식각되게 된다. 즉, 제2 게이트절연물질(76a)인 SiNx는 에치스타퍼(etch-stopper)의 역할을 하게 된다.

<64> 이에 따라, 스위치소자(SW)의 액티브층(64)을 덮도록 제1 및 제2 게이트절연막(62, 76)이 형성되고, 박막트랜지스터(TP)의 액티브층(94)을 덮도록 제1 내지 제3 게이트절연막(62, 76, 78)이 형성된다.

<65> 이 때, 스위치소자(SW)의 제1 및 제2 게이트절연막(62, 76)의 전체두께는 박막트랜지스터(TP)의 제1 내지 제3 게이트절연막(62, 76, 78)의 전체두께보다 상대적으로 얇게 형성된다. 스위치소자(SW)의 제1 및 제2 게이트절연막(62, 76)의 전체두께는 박막트랜지스터(TP)의 제1 내지 제3 게이트절연막(62, 76, 78)의 전체두께보다 약 5~2000Å정도 얇게 형성된다. 제1 및 제3 게이트절연막(62, 78)은 예를 들어 약 5~2000Å정도의 두께를 갖도록 형성되며, 제2 게이트절연막(76)은 약 50~2000Å정도의 두께를 갖도록 형성된다.

<66> 도 5d를 참조하면, 스위치소자(SW)와 박막트랜지스터(TP)에 따라 두께가 다른 게이트절연막(62, 76, 78)이 형성된 하부기판(52) 상에 게이트전극(56, 86)이 형성된다.

<67> 이를 위해, 게이트절연막(62, 76, 78)이 형성된 하부기판(52) 상에 게이트금속층이 스퍼터링 등의 증착방법으로 증착된다. 게이트금속층으로는 알루미늄 또는 알루미늄 합금 등이 이용된다. 이어서, 게이트금속층이 포토리쏘그래피 공정과 식각공정으로 패팅됨으로써 하부기판(52) 상에는 스위치소자(SW)의 게이트전극(56)과 박막트랜지스터(TP)의 게이트전극(86)이 형성된다.

<68> 도 5e를 참조하면, 게이트전극(56, 86)이 형성된 하부기판(52) 상에 충간절연막(66)이 형성된다.

<69> 이를 위해, 게이트전극(56,86)이 형성된 하부기판(56) 상에 절연물질을 전면 증착함으로써 충간절연막(66)이 형성된다. 이 후, 충간 절연막(66)과 제1 및 제2 게이트 절연막(62,76)을 관통하는 스위치소자(SW)의 소스접촉홀(70S)과 드레인접촉홀(70D)이 형성된다. 충간 절연막(66)과 제1 내지 제3 게이트 절연막(62,76,78)을 관통하는 박막트랜지스터(TP)의 소스접촉홀(80S)과 드레인접촉홀(80D)이 형성된다.

<70> 도 5f를 참조하면, 충간절연막(66)이 형성된 하부기판(52) 상에 소스전극(58,88)과 드레인전극(60,90)이 형성된다.

<71> 이를 위해, 충간절연막(66)이 형성된 하부기판(52) 상에 데이터금속층이 스퍼터링 등의 증착방법으로 증착된다. 이 후, 데이터금속층이 포토리쏘그래피공정과 식각공정으로 패터닝됨으로써 하부기판(52) 상에 스위치소자(SW) 및 박막트랜지스터(TP)의 소스 전극(58,88)과 드레인 전극(60,90)이 형성된다. 여기서, 스위치소자(SW) 및 박막트랜지스터(TP)의 소스 전극(58,88)과 드레인 전극(60,90)은 각각 소스접촉홀(70S,80S)과 드레인 접촉홀(70D,80D)을 통해 액티브층(64,94)과 접촉하게 된다.

<72> 도 5g를 참조하면, 소스전극(58,88)과 드레인전극(60,90)이 형성된 하부기판(52) 상에 보호막(68)이 형성된다.

<73> 이를 위해, 스위치소자(SW) 및 박막트랜지스터(TP)의 소스전극(58,88) 및 드레인전극(60,90)이 형성된 하부기판(52) 상에 절연물질이 전면 증착됨으로써 보호막(68)이 형성된다. 이 후, 보호막(68)이 포토리쏘그래피공정과 식각공정으로 패터닝됨으로써 보호막(68)을 관통하여 박막트랜지스터(TP)의 드레인전극(90)이 노출되는 화소접촉홀(74)이 형성된다.

<74> 도 5h를 참조하면, 보호막(68)이 형성된 하부기판(52) 상에 박막트랜지스터(TP)의 화소전극(72)이 형성된다.

<75> 이를 위해, 보호막(68)이 형성된 하부기판(52) 상에 투명도전물질이 증착된다. 이 후, 투명도전성물질이 포토리쏘그래피공정과 식각공정으로 패터닝됨으로써 박막트랜지스터(TP)의 드레인전극(60)과 접속되는 화소전극이 형성된다. 여기서, 화소전극(72)은 화소접촉홀(74)을 통해 드레인전극(90)과 전기적으로 접속된다.

### 【발명의 효과】

<76> 상술한 바와 같이, 본 발명에 따른 액정표시소자 및 그 제조방법은 화상표시부에 포함되는 박막트랜지스터와 멀티플렉서에 포함되는 스위치소자의 게이트절연막의 두께를 다르게 형성한다. 즉, 박막트랜지스터의 게이트전극과 액티브층 사이에는 제1 내지 제3 게이트절연막이 형성되고 스위치소자의 게이트전극과 액티브층 사이에는 제1 및 제2 게이트절연막이 형성된다. 이 때, 제2 게이트절연막은 에치스타펴로 동작하여 제3 게이트절연막이 박막트랜지스터의 액티브층을 덮도록 선택적으로 형성되도록 한다. 이에 따라, 박막트랜지스터의 게이트절연막의 전체두께와 스위치소자의 게이트절연막의 전체두께를 안정적으로 형성할 수 있다.

<77> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**【특허청구범위】****【청구항 1】**

화상표시부에 포함되는 다수의 신호라인들과 교차로 할당된 영역마다 마련된 액정셀들 각각을 구동하기 위한 제1 박막트랜지스터와,

상기 화상표시부와 함께 표시패널 내에 형성되는 구동회로에 포함되는 제2 박막트랜지스터와,

상기 제1 및 제2 박막트랜지스터의 각각에 포함되는 게이트전극과 액티브층 사이에 형성되며 에치스트퍼층을 갖는 적어도 2층 구조의 게이트절연막을 구비하며,

상기 제1 및 제2 박막트랜지스터의 게이트절연막은 서로 다른 두께로 형성되는 것을 특징으로 하는 액정표시소자.

**【청구항 2】**

제 1 항에 있어서,

상기 제1 박막트랜지스터의 게이트절연막의 두께는 상기 제2 박막트랜지스터의 스위치소자의 게이트전극과 액티브층 사이에 형성되는 게이트절연막의 두께보다 두껍게 형성되는 것을 특징으로 하는 액정표시소자.

**【청구항 3】**

제 1 항에 있어서,

상기 제1 박막트랜지스터의 게이트절연막은 중간층이 에치스타퍼층인 삼층구조로 형성되는 것을 특징으로 하는 액정표시소자.

**【청구항 4】**

제 1 항에 있어서,

상기 제2 박막트랜지스터의 게이트절연막은 최상층이 에치스타퍼층인 이층구조로 형성되는 것을 특징으로 하는 액정표시소자.

**【청구항 5】**

제 1 항에 있어서,

상기 제1 및 제2 박막트랜지스터의 응답속도는 상기 게이트절연막에 의해 서로 다른 것을 특징으로 하는 액정표시소자.

**【청구항 6】**

제 1 항에 있어서,

상기 에치스타퍼층은  $\text{SiN}_x$ 로 형성되는 것을 특징으로 하는 액정표시소자.

**【청구항 7】**

제 1 항에 있어서,

상기 제2 박막트랜지스터의 게이트절연막의 최하층과 최상층 및 상기 제1 박막트랜지스터의 게이트절연막의 최하층은  $\text{SiO}_2$ 로 형성되는 것을 특징으로 하는 액정표시소자.

**【청구항 8】**

화상표시부에 포함되는 다수의 신호라인들과 교차로 할당된 영역마다 마련된 액정셀들을 각각을 구동하기 위한 제1 박막트랜지스터와, 상기 화상표시부와 함께 표시패널 내에 형성되는 구동회로를 구동하기 위한 제2 박막트랜지스터를 형성하는 제조방법에 있어서,

상기 제1 및 제2 박막트랜지스터에 포함되는 게이트전극과 액티브층 사이의 게이트 절연막을 형성하는 단계는 에치스트퍼층을 갖는 적어도 2층 구조로 서로 다른 두께를 갖도록 형성하는 단계인 것을 특징으로 하는 액정표시소자의 제조방법.

#### 【청구항 9】

제 8 항에 있어서,

기판 상에 상기 제1 및 제2 박막트랜지스터의 버퍼막을 형성하는 단계와,

상기 버퍼막 상에 상기 제1 및 제2 박막트랜지스터의 스위치소자의 액티브층을 형성하는 단계와,

상기 게이트절연막 상에 상기 제1 및 제2 박막트랜지스터의 게이트전극을 형성하는 단계와,

상기 게이트전극이 형성된 게이트절연막 상에 상기 제1 및 제2 박막트랜지스터의 층간절연막을 형성하는 단계와,

상기 층간절연막 상에 상기 제1 및 제2 박막트랜지스터의 소스전극 및 드레인전극을 형성하는 단계와,

상기 층간절연막 상에 상기 제1 및 제2 박막트랜지스터의 보호막을 형성하는 단계와,

상기 제1 박막트랜지스터의 드레인전극과 접촉되는 화소전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

#### 【청구항 10】

제 8 항에 있어서,

상기 제1 박막트랜지스터의 게이트절연막은 가운데층이 에치스타퍼층인 3층구조로 형성되는 것을 특징으로 하는 액정표시소자의 제조방법.

#### 【청구항 11】

제 8 항에 있어서,

상기 제2 박막트랜지스터의 게이트절연막은 최상층이 에치스타퍼인 2층구조로 형성되는 것을 특징으로 하는 액정표시소자의 제조방법.

#### 【청구항 12】

제 8 항에 있어서,

상기 에치스타퍼층은  $\text{SiN}_x$ 로 형성되는 것을 특징으로 하는 액정표시소자의 제조방법.

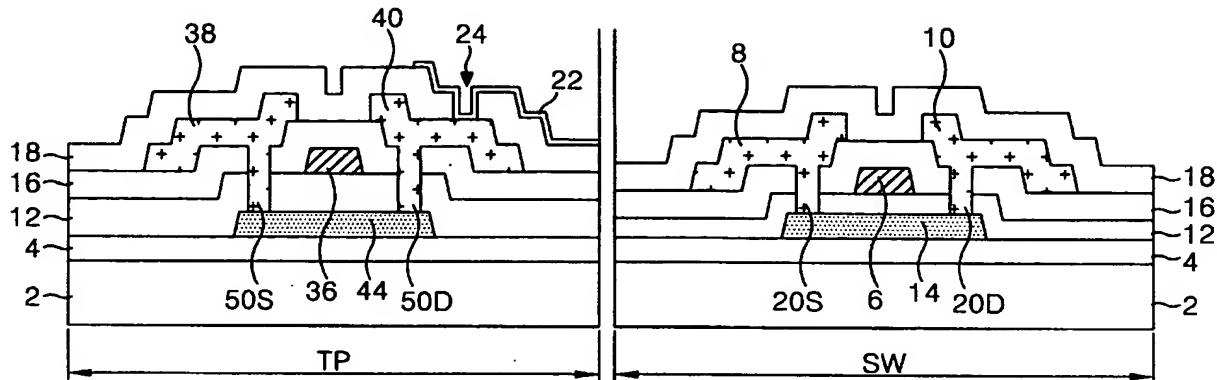
#### 【청구항 13】

제 8 항에 있어서,

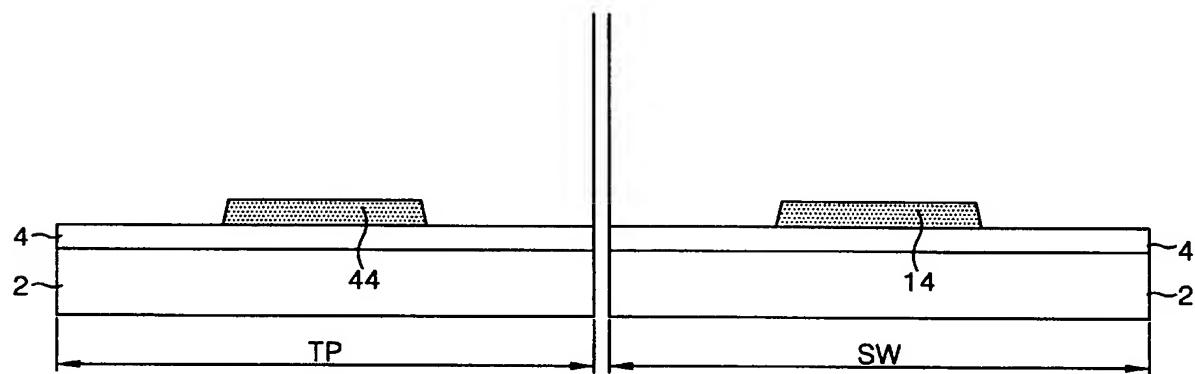
상기 제1 박막트랜지스터의 게이트절연막의 최하층과 최상층 및 상기 제2 박막트랜지스터의 게이트절연막의 최하층은  $\text{SiO}_2$ 로 형성되는 것을 특징으로 하는 액정표시소자의 제조방법.

## 【도면】

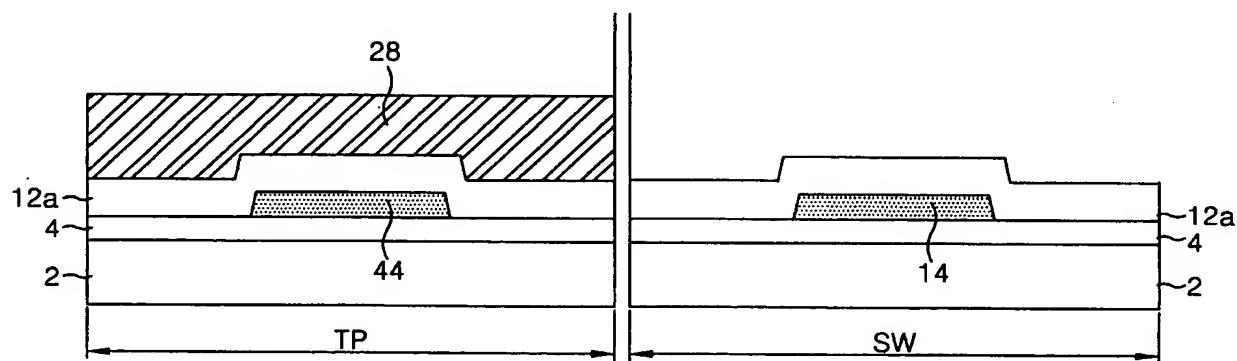
【도 1】



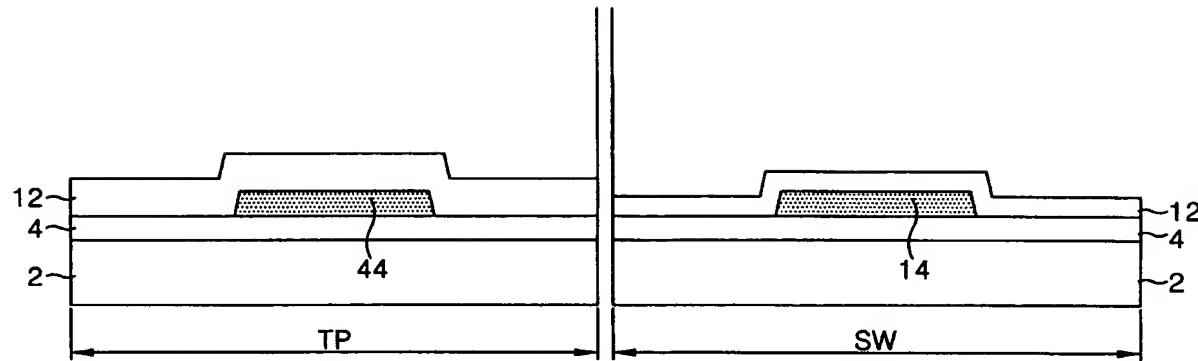
【도 2a】



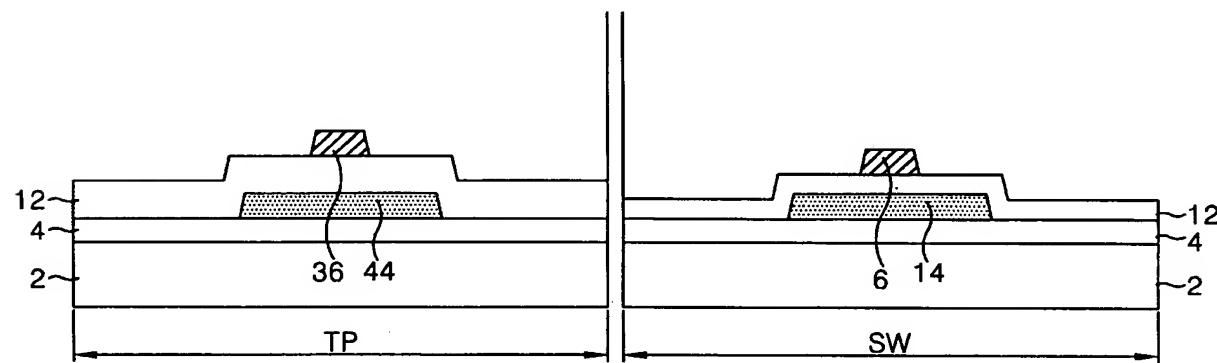
【도 2b】



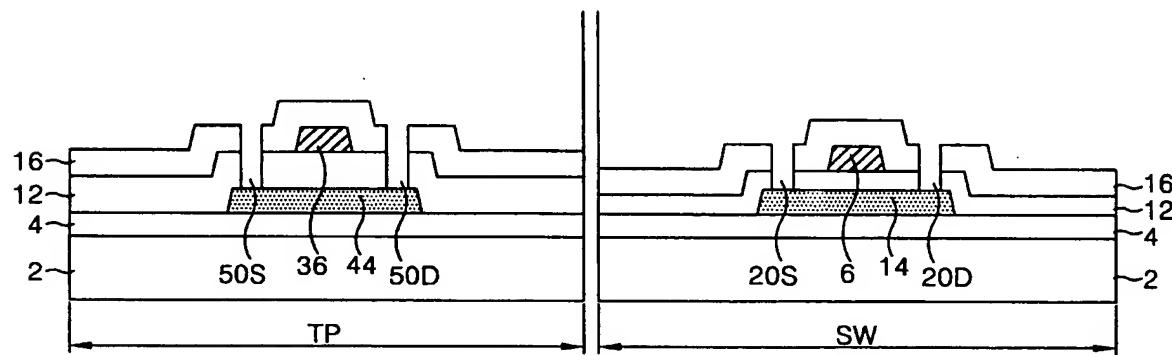
【도 2c】



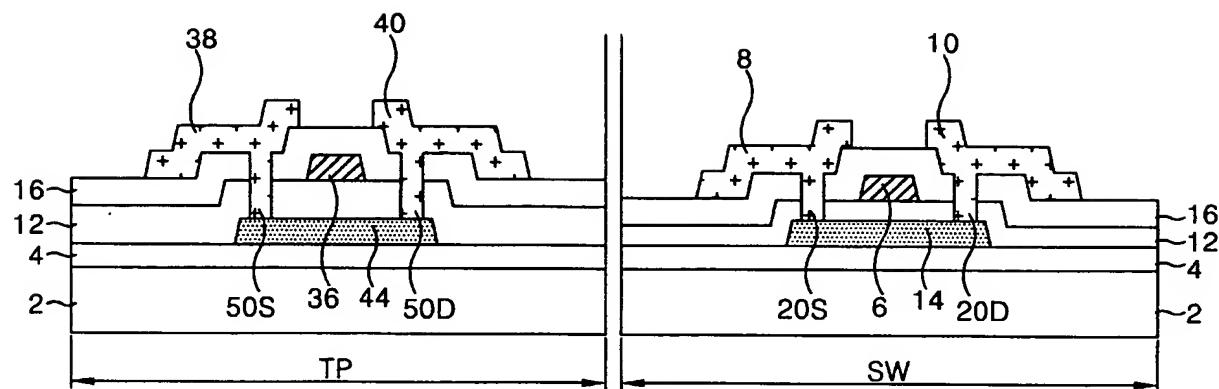
【도 2d】



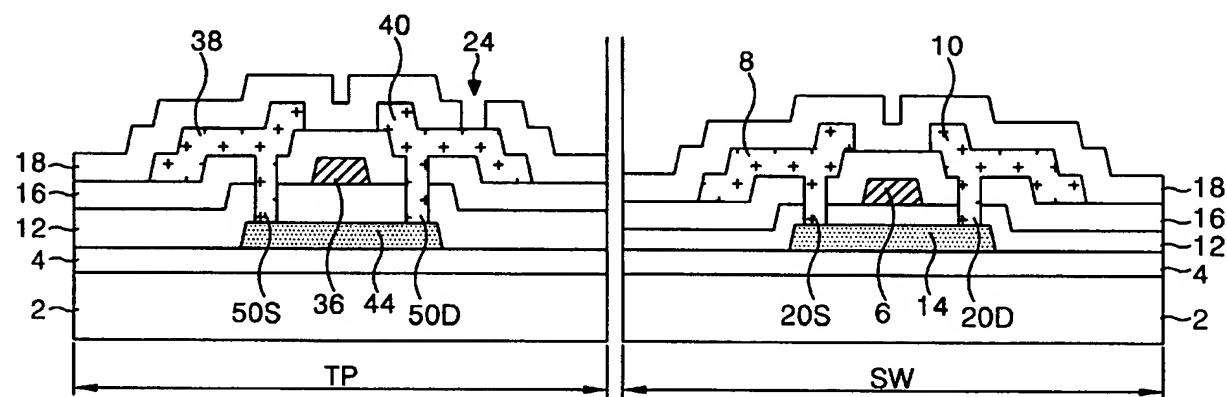
【도 2e】



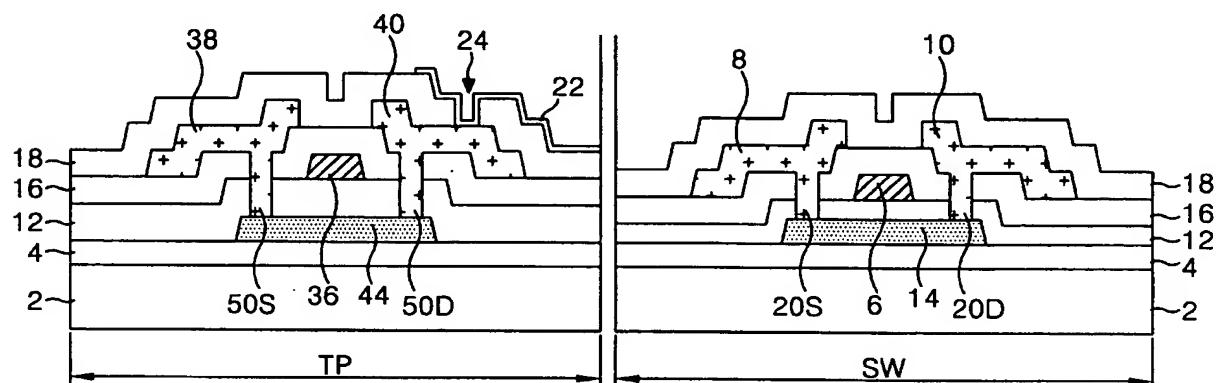
【도 2f】



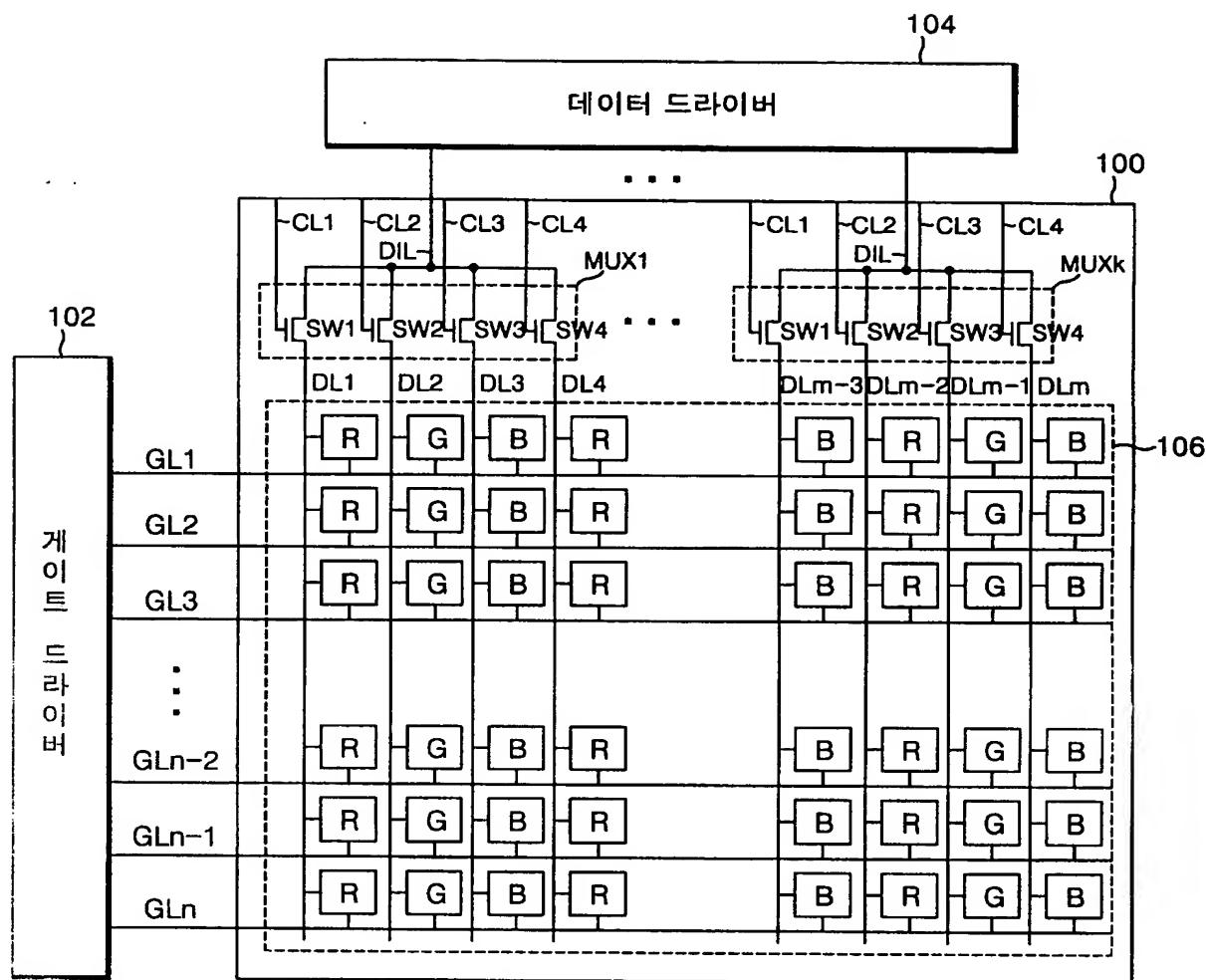
【도 2g】



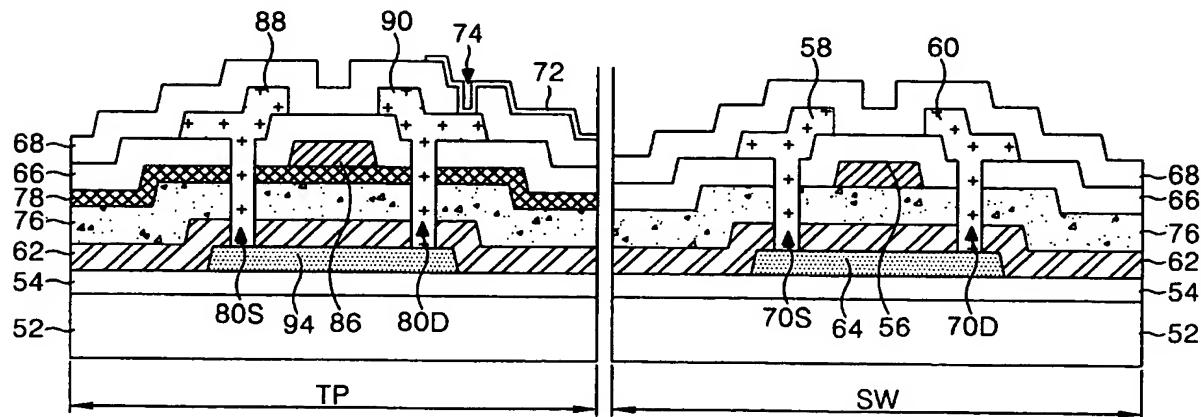
【도 2h】



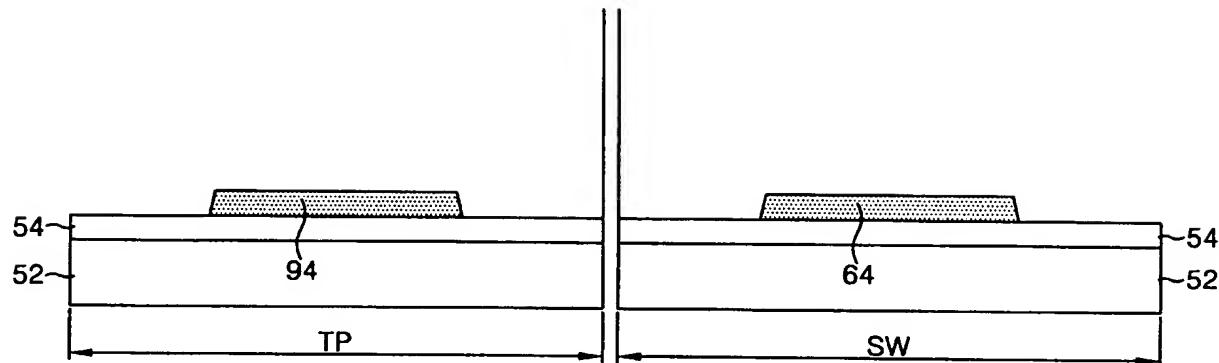
【도 3】



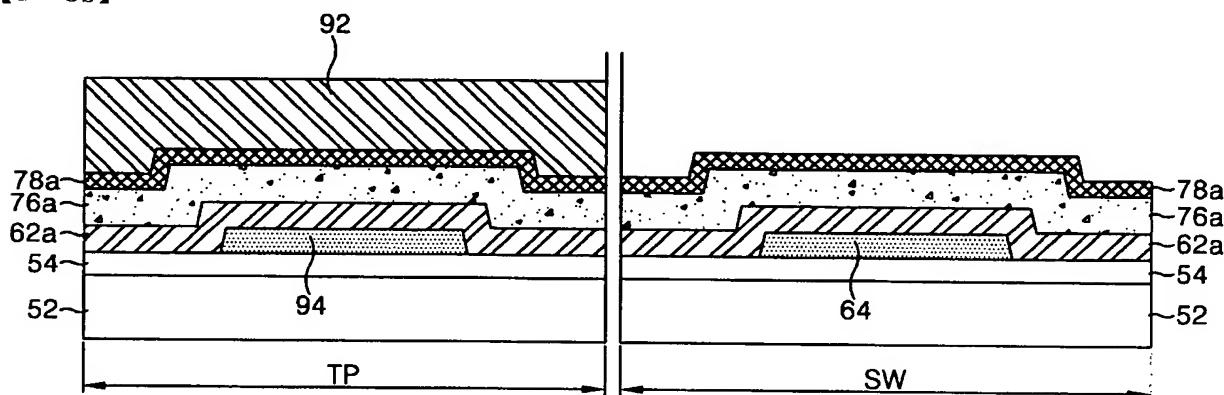
【도 4】



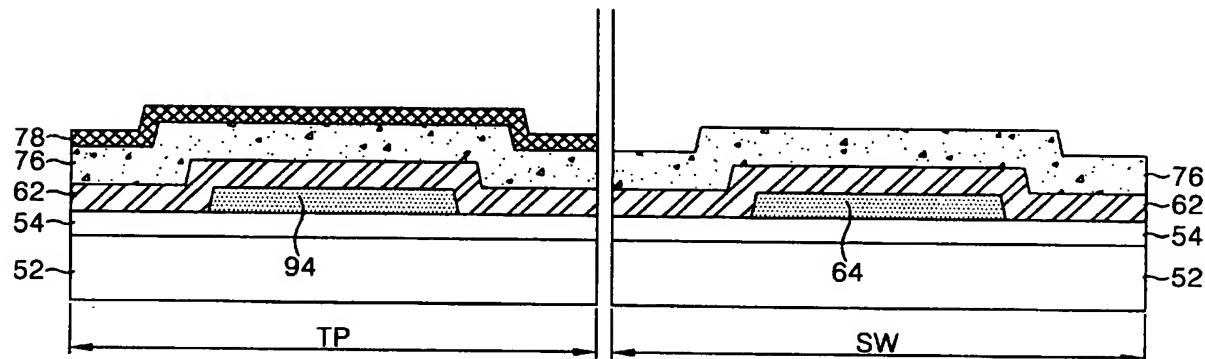
【도 5a】



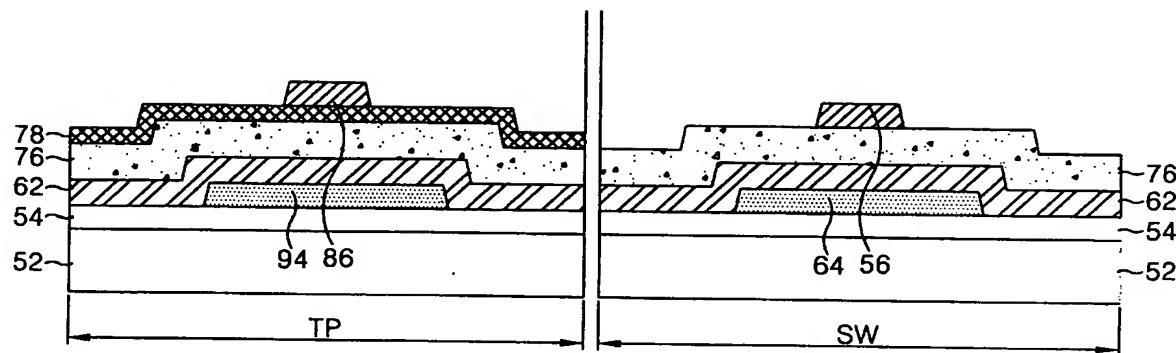
【도 5b】



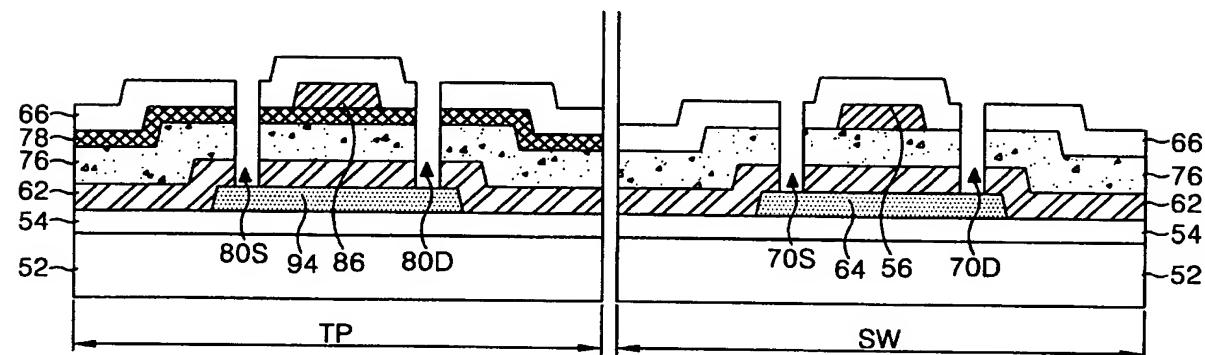
【도 5c】



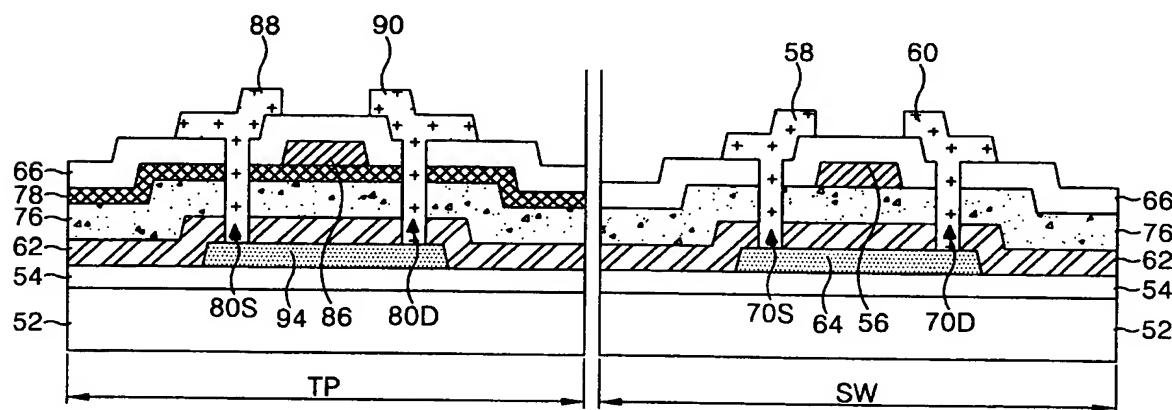
【도 5d】



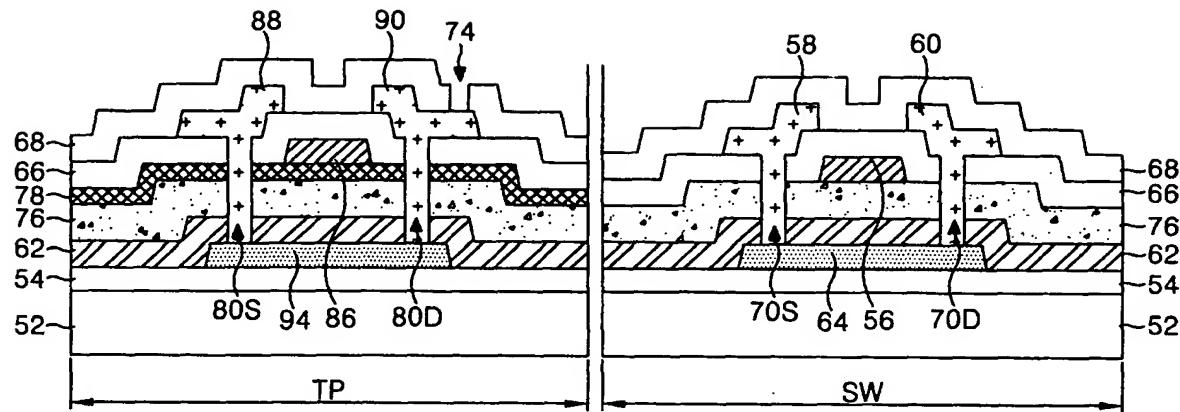
【도 5e】



【도 5f】



【도 5g】



【도 5h】

